

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-116975

(43)Date of publication of application : 17.04.1992

(51)Int.Cl.

H01L 27/12
H01L 21/265
H01L 21/316
H01L 21/76
H01L 27/08

(21)Application number : 02-238648

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.09.1990

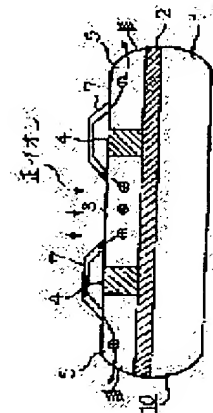
(72)Inventor : MIURA TAKAO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To manufacture a semiconductor device having excellent characteristics in high yield by preventing variation and irregularity in ion implanting conditions due to charging of a semiconductor layer, and breakdown between the layer and a substrate.

CONSTITUTION: Semiconductor layers 3 formed on a supporting board 1 covered with an insulating layer 2 are connected to a peripheral edge 5 via conductive layers 7, and mounted on the wall of an ion implanting unit. Since charge generated at the layer 3 by the ion implanting is introduced to the unit, the layer 3 is not charged. As a result, the ion implantation of a predetermined depth and dose is uniformly performed. No breakdown of the layer 2 occurs between the layer 3 and the board 1. The layer 7 is cut by etching after all ion implanting steps are completed. Thus, elements formed on the layers 3 are electrically independent. Thereafter, a layer insulating layer is formed, and the electrically independent elements are wired to each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-116975

⑤ Int. Cl.⁵

H 01 L 27/12
21/265
21/316
21/76
27/08

識別記号

S

庁内整理番号

7514-4M

⑬ 公開 平成4年(1992)4月17日

R

9169-4M

E

7735-4M

7342-4M

7738-4M

H 01 L 21/94
21/265

A
N

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-238648

⑰ 出 願 平2(1990)9月7日

⑱ 発 明 者 三 浦 隆 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1 発明の名称

半導体装置の製造方法

2 特許請求の範囲

(1) 絶縁層によって覆われた一表面と、

該絶縁層上に形成された複数の半導体層と、

該複数の半導体層を互いに電気的に分離する分離絶縁層と、

該分離絶縁層上に延在し且つ該半導体層間を接続する導電層

とを備えた基板を形成する工程と、

該導電層によって接続された該半導体層に対し異なるマスクを用いる複数回のイオン注入を行う工程と、

該イオン注入ののちに該分離絶縁層上に延在する該導電層を少なくとも部分的に除去して該半導体層間の接続を切断する工程
とを含むことを特徴とする半導体装置の製造方法。

(2) 該分離絶縁層は該半導体層上の一部に張り出す

拡幅部を有し、該導電層は該拡幅部に設けられた貫通穴を通して該半導体層に接続されていることを特徴とする請求項1記載の半導体装置の製造方法。

3 発明の詳細な説明

〔概要〕

SOI 基板を用いて成る半導体装置に関し、

電気的に孤立した半導体層の帯電によるイオン注入条件の変動や不均一性の発生および該半導体層と基板間の絶縁破壊等を防止することを目的とし、

絶縁層によって覆われた一表面と、該絶縁層上に形成された複数の半導体層と、該複数の半導体層を互いに電気的に分離する分離絶縁層と、該分離絶縁層上に延在し且つ該半導体層間を接続する導電層とを備えたSOI 基板を形成し、該導電層によって接続された該半導体層に対し異なるマスクを用いる複数回のイオン注入を行い、該イオン注入ののちに該分離絶縁層上に延在する該導電層を

少なくとも部分的に除去して該半導体層間の接続を切断する諸工程を含むよう構成する。

〔産業上の利用分野〕

本発明は、SOI基板を用いて成る半導体装置に関する。

〔従来の技術〕

第4図はSOI(Silicon on Insulator)構造の基板の概要構成を示し、同図(a)は全体斜視図、同図(b)は部分断面図である。すなわち、SOI基板10は、基本的には、トランジスタ等の素子を形成するための半導体層3と、該半導体層3を電気的に絶縁するための絶縁層2と、これらを支持する基板1の3層構造を有する。半導体層3に、トランジスタ等の素子が単一または複数形成される。これらの半導体層3は、後述する分離絶縁層4によって分離されている。このようなSOI基板10の作製方法としては、絶縁層上に堆積された多結晶シリコン層をレーザアニールによって単結晶化するなど

子は、放射線耐性が高く、また、CMOS構造におけるいわゆるラッチアップ現象を生じ難く、さらに、ノイズ等の電気的変動の影響を受け難くなる。また、基板1との間の寄生容量が低減され、高速動作に有利であるほか、各々の半導体層3を異なる電源電圧で駆動する多電源化が可能になる等の利点を有する。

〔発明が解決しようとする課題〕

しかしながら、上記のように完全に電気的に孤立した半導体層3は、反面、注入された電荷を放出し難いことになる。この性質は、不純物拡散領域を形成するためのイオン注入にとって障害となる。すなわち、イオン注入は、硼素(B)や磷(P)あるいは砒素(As)等の正イオンを電界加速して半導体層3に打ち込むため、半導体層3は接地電位に保持されていることが望ましい。しかし、上記電気的に分離された半導体層3は、注入不純物イオンによる正電荷が蓄積し、次第に高電位になる。その結果、注入イオンの実効的な加速電界が減少

の種々の方法等が提案されているが、現在のところ、2枚のシリコンウエーハを貼り合わせてSOI基板10を作製する方法が最も実用段階に近い。この方法によれば、少なくとも一方の表面を熱酸化して絶縁層2を形成するので、界面特性のすぐれたSOI基板が得られる。

同図(a)には、SOI基板10の中央部における一つの半導体層3が周辺部5の半導体層と分離されている場合が示されているが、中央部に複数の半導体結晶層3を形成し、各々に単一のバイポーラトランジスタおよびMISトランジスタ、または、バイポーラ集積回路およびMIS集積回路を形成する等も可能である。なお、SOI基板10の周縁部5は、一般に、素子形成領域として使用されない。

前述のように、半導体層3は、分離絶縁層4によって分離される。この分離絶縁層4を、絶縁層2に達するまで形成すると、前記素子または素子群は、支持基板1とはもちろん、相互間も完全に電気的に分離され、孤立した状態となる。このように完全に分離された半導体層3に形成された素

し、所定の深さやドーズ量の注入が行われず、また、基板1表面全体における各半導体層3ごとの注入条件が不均一になりやすい。さらに、帯電により半導体層3と支持基板1との間に高電圧が発生し、これらの間に介在する絶縁層2が絶縁破壊する。

本発明は、上記のようなSOI基板における電気的に孤立した半導体層3の帯電によるイオン注入条件の変動や不均一性の発生および該半導体層3と基板1間の絶縁破壊等を防止することを目的とし、これによってSOI構造にもとづくすぐれた特性を有する半導体装置を、高歩留りで製造可能とする。

〔課題を解決するための手段〕

上記目的は、絶縁層によって覆われた一表面と、該絶縁層上に形成された複数の半導体層と、該複数の半導体層を互いに電気的に分離する分離絶縁層と、該分離絶縁層上に延在し且つ該半導体層間を接続する導電層とを備えた基板を形成する工程

と、該導電層によって接続された該半導体層に対し異なるマスクを用いる複数回のイオン注入を行う工程と、該イオン注入ののちに該分離絶縁層上に延在する該導電層を少なくとも部分的に除去して該半導体層間の接続を切断する工程とを含むことを特徴とする本発明に係る半導体装置の製造方法、または、該分離絶縁層は該半導体層上の一部に張り出す拡幅部を有し、該導電層は該拡幅部に設けられた貫通穴を通して該半導体層に接続されていることを特徴とする本発明に係る半導体装置の製造方法によって達成される。

〔作 用〕

第1図は本発明の原理説明図であって、絶縁層2によって表面を覆われた支持基板1上に形成された各々の半導体層3は、これらの間に形成された分離絶縁層4上に延在する導電層7によりSOI基板10の周縁部5に接続されている。通常、周縁部5は、導電性ゴムから成るリングを介してイオン注入装置の器壁に装着される。したがって、

に孤立した素子または素子群の相互配線を行って半導体装置が完成する。

〔実施例〕

以下本発明の実施例を第2図を参照して説明する。同図において、既掲の図面におけるのと同じ部分には同一符号を付してある。

同図(a)を参照して、周知の方法にしたがって、シリコンウエーハから成る支持基板1の表面を酸化して絶縁層2を形成したのち、別のシリコンウエーハ3₀を貼り合わせる。そして、後述する分離絶縁層4を形成する分離領域4₀におけるシリコンウエーハ3₀を選択的にエッチング除去する。

次いで、周知のCVD(化学気相成長)法により、シリコンウエーハ3₀表面にSiO₂を堆積するとともに、前記分離領域4₀にSiO₂を埋め込んだのち、シリコンウエーハ3₀表面のSiO₂をエッチバックして除去する。その結果、同図(b)に示すように、前記分離領域4₀に埋め込まれたSiO₂が残って分離絶縁層4が形成される。このようにして、絶縁層2お

イオン注入により半導体層3に生じた電荷は、導電層7を通じてイオン注入装置に導かれるため、半導体層3を帯電しない。その結果、所定の深さおよびドーズ量のイオン注入が、SOI基板10全体にわたって均一に行われる。また、半導体層3と支持基板1との間の絶縁層2の絶縁破壊も生じない。

SOI基板10の中央部に複数の半導体層3が形成されている場合には、隣接する半導体層3間どうしが導電層7により接続され、イオン注入により発生した電荷は、上記と同様にして周縁部5を通じてイオン注入装置に導かれる。

導電層7は、SOI基板10に対して行われるイオン注入工程が終了するまでは、そのままの状態に残される。SOI基板10に対するすべてのイオン注入工程が完了したのち、分離絶縁層4上に延在する導電層7をエッチングして切断する。これにより、各々の半導体層3に形成された素子または素子群は電氣的に孤立した状態とされる。そののち、SOI基板10上に層間絶縁層を形成し、上記電氣的

および分離絶縁層4によって分離された半導体結晶層3が形成される。

次いで、周知のLOCOS(Local Oxidation of Silicon)法を用いて半導体結晶層3の所定領域を選択酸化し、同図(c)に示すように、表面分離絶縁層8を形成する。表面分離絶縁層8は、各々の半導体層3内における素子形成領域や不純物注入領域を画定するために設けられる。したがって、一般には、図示のように、分離絶縁層4近傍における半導体層3にも表面分離絶縁層8が形成されることになるが、これは本発明において必須ではない。以下においては、分離絶縁層4近傍の半導体結晶層3に表面分離絶縁層8を形成した場合を例に説明する。

上記に次いで、同図(d)に示すように、分離絶縁層4近傍における半導体層3上に形成された表面分離絶縁層8上に位置する開口を有するレジストマスク9を形成し、この開口内に表出する表面分離絶縁層8を選択的にエッチング除去して、開口81を形成する。

次いで、レジストマスク9を除去したのち、同図(e)に示すように、支持基板1表面全体に、例えば周知のCVD法を用いて多結晶シリコンを堆積して導電層7₀を形成する。導電層7₀は、開口81内に表出している半導体層3表面と接触する。なお、導電層7₀としては、タングステン、モリブデン、チタン、タンタル等の単体金属、または、チタン-タングステン(TiW)、タングステンシリサイド(WSi₂)、モリブデンシリサイド(MoSi₂)、チタンシリサイド(TiSi₂)、タンタルシリサイド(TaSi₂)、コバルトシリサイド(CoSi₂)、白金シリサイド(PtSi₂)等の合金または化合物を用いてもよい。

次いで、同図(e)に示すように、前記開口81が形成された表面分離絶縁層8を覆うレジストマスク12を形成したのち、レジストマスク12から表出する導電層7₀を選択的にエッチング除去する。このようにして、同第3図(f)に示すように、隣接する半導体層3間を接続する導電層7が形成される。なお、図示していないが、SOI基板10の前記周縁部5(第4図参照)とこれに隣接する半導体層3

との間も、上記と同様にして形成される導電層7により接続する。

上記のようにして、本発明に係るSOI基板が作製される。このSOI基板における所定の半導体層3に、MISトランジスタを形成する例を第3図を参照して説明する。第2図(f)の状態のSOI基板における半導体層3表面に存在する薄い酸化膜11(第2図の各工程において表出する半導体層3表面を保護するために残されていたもの)をエッチング除去し、表面分離絶縁層8から表出する半導体層3表面を熱酸化して、第3図(a)に示すように、ゲート酸化膜14を形成する。この工程において、導電層7表面にも酸化膜15が形成される。

次いで、例えば周知のCVD法により、支持基板1表面に多結晶シリコン層を堆積し、これをパターンニングして、同図(b)に示すようにゲート電極16を形成する。導電層7は酸化膜15によって保護されているため、このパターンニングにおいてエッチングされない。

次いで、ゲート電極16が形成された半導体層3

のうち、所定の導電型のMISトランジスタが形成される半導体層3を選択的に表出する開口を有するレジストマスク18を形成する。そして、ゲート電極16およびレジストマスク18をマスクとして、表出する半導体層3に所定の導電型の不純物をイオン注入し、ソースおよびドレイン領域19を形成する。このイオン注入において半導体層3に生じる電荷は、導電層7を通じて、前記周縁部5(第4図参照)に導かれ、周縁部5に接触しているイオン注入装置から外部に放出される。

さらに、上記と反対の導電型のMISトランジスタを形成する場合には、ゲート電極16が形成された半導体層3のうち上記イオン注入が行われていない半導体層3を選択的に表出するレジストマスクを形成して反対導電型の不純物をイオン注入して所定導電型のソースおよびドレイン領域を形成する。上記ソースおよびドレイン領域の形成時に、コンタクト形成領域等に対する所定導電型の不純物のイオン注入を並行して行ってもよいことは言うまでもない。

所定のイオン注入工程がすべて終了したのち、導電層7の一部または全部を選択的に表出するレジストマスクを形成し、表出する導電層7をエッチング除去する。これにより、隣接する半導体層3間を接続している導電層7が切断もしくはその全部が除去される。同時に、半導体層3と前記周縁部5を接続する導電層7も切断または除去する。したがって、各々の半導体層3は、絶縁層2および分離絶縁層4によって電気的に孤立した状態になる。

なお、上記実施例においては、少なくとも一方の表面に熱酸化膜が形成された2枚のシリコンウエーハを貼り合わせて作製されたSOI基板を例に説明したが、本発明は、多結晶シリコン層をレーザアニールにより単結晶化するとか、あるいは、シリコン基板の深い領域に注入した酸素イオンを活性化して酸化シリコン層を形成することによりSOI基板を作製するSIMOX法等の他の方法によるSOI基板に対しても適用可能であることは言うまでもない。また、本発明は、前記半導体層がシリ

コン層であるSOI基板に限定されるものでないことも明らかである。

〔発明の効果〕

本発明によれば、SOI構造の半導体装置基板に対するイオン注入における帯電が防止され、所定の深さおよびドーズ量のイオン注入が、基板全体にわたって均一に行われ、また、帯電による絶縁層の絶縁破壊が回避される。その結果、SOI構造の特徴とする高性能の半導体装置を高歩留りで製造可能とする効果がある。また、本発明によれば、最初のイオン注入前に形成された帯電防止用の手段が、のちの複数回のイオン注入においても反復して使用可能であり、半導体装置の製造工数増大を抑制する上で効果が大きい。

4 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明に係るSOI基板の作製工程説明図、

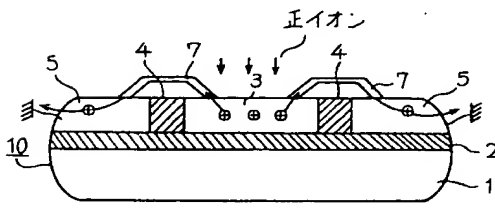
第3図は本発明のSOI基板を用いて成る半導体装置の製造工程例説明図、

第4図はSOI基板の概要構造説明図である。

図において、

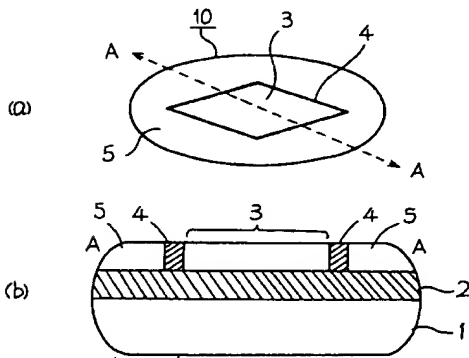
- 1は支持基板、2は絶縁層、
- 3は半導体結晶層、3₀はシリコンウエーハ、
- 4は分離絶縁層、4₀は分離領域、
- 5は周縁部、7と7₀は導電層、
- 8は表面分離絶縁層、
- 9と12と18はレジストマスク、
- 10はSOI基板、11と15は酸化膜、
- 14はゲート酸化膜、16はゲート電極、
- 19はソースおよびドレイン領域、81は開口である。

代理人 弁理士 井桁 貞一



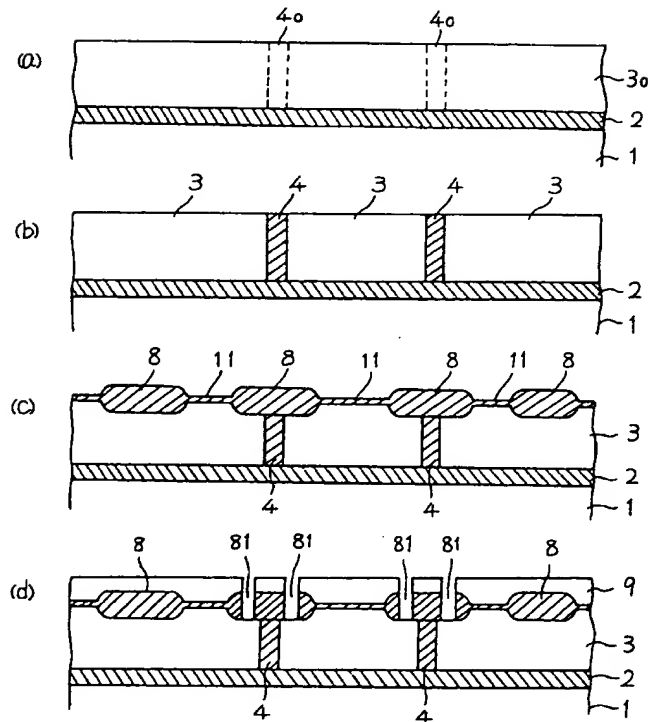
本発明の原理図

第1図



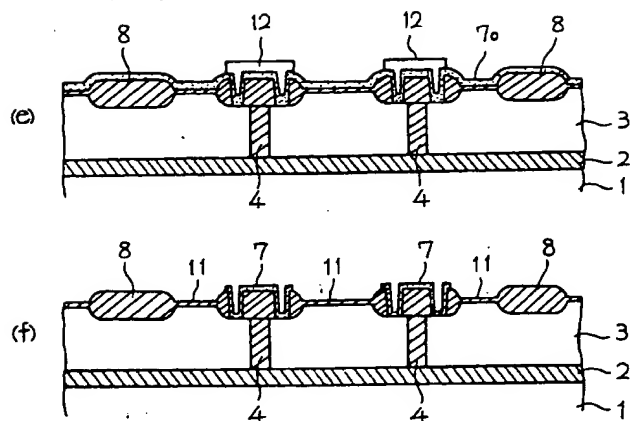
SOI基板の概要構造説明図

第4図



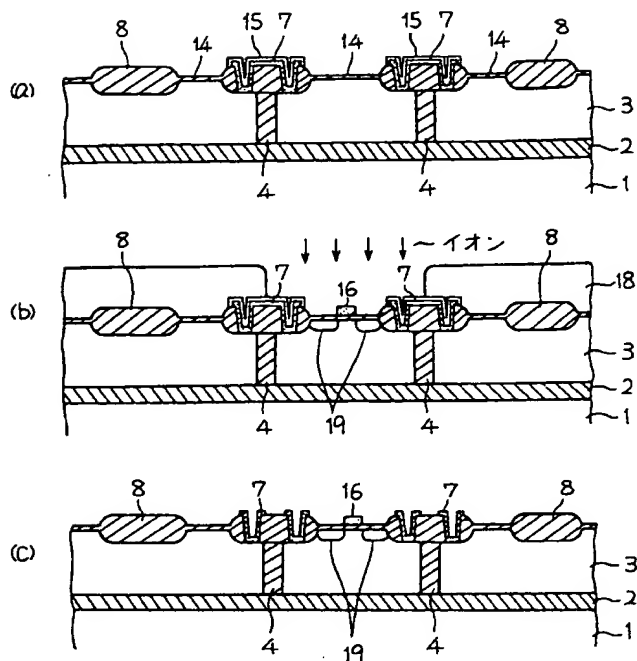
本発明に係るSOI基板の作製工程

第2図(その1)



本発明に係るSOI基板の作製工程

第 2 図(その2)



本発明のSOI基板を用いて成る半導体装置の製造工程

第 3 図

BEST AVAILABLE COPY